

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 9月20日

出願番号

Application Number: 特願2002-274300

[ST.10/C]:

[JP2002-274300]

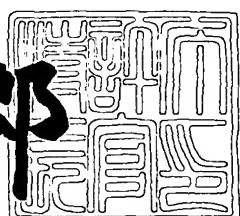
出願人

Applicant(s): 三菱電機株式会社

2003年 2月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011948

【書類名】 特許願
【整理番号】 541307JP01
【提出日】 平成14年 9月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/3213
H01L 21/3065

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 豊島 利之

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 熊田 輝彦

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 信時 英治

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 石橋 健夫

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 小野 良治

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 坂井 淳二郎

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 弘平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

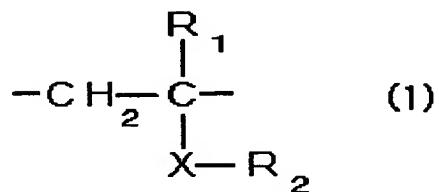
【書類名】 明細書

【発明の名称】 埋込材およびこの埋込材を用いた半導体集積回路の製造方法

【特許請求の範囲】

【請求項1】 絶縁膜のビアホール部にプラズマエッチングにより前記ビアホールより幅が広い凹部を形成する時に、前もって前記ビアホールを埋める埋込材であって、繰り返し単位が下記の式(1)で表される重合体からなる埋込材。

【化1】



(式中、R₁は水素原子、フッ素原子、塩素原子、臭素原子またはメチル基、R₂は水素原子、炭素数1～3のアルキル基または水素原子がフッ素原子、塩素原子、臭素原子のうちの少なくとも一つの原子で置換された炭素数1～4のアルキル基、Xは-C(=O)O-基または-S(=O)₂O-基である。)

【請求項2】 重合体の重量平均分子量が、1,000～200,000であることを特徴とする請求項1に記載の埋込材。

【請求項3】 導体層が形成された下部絶縁膜の表面にストップ膜を形成し、このストップ膜を介して上部絶縁膜を積層する工程と、

前記導体層に対向する位置において前記上部絶縁膜の表面から前記ストップ膜の表面までビアホールを形成する工程と、

前記上部絶縁膜の表面に請求項1または2に記載の埋込材を塗布し、前記ビアホールに前記埋込材を充填する工程と、

前記埋込材の塗布膜上に、前記ビアホールを含む形の開口部を有するレジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記上部絶縁膜と前記埋込材とを同時にドライエッチングし、前記上部絶縁膜に前記ストップ膜までには達しない深度の凹部を形成する工程と、

前記レジストパターンと前記埋込材の塗布膜と前記ビアホール中に残存する埋

込材とを除去し、ピアホール底部に現れたストップ膜をエッティングして前記導体層を露出させる工程と、

前記凹部と前記ピアホールに導体層を形成する工程とからなることを特徴とする半導体集積回路の製造方法。

【請求項4】 基板に絶縁膜を形成する工程と、

前記絶縁膜にピアホールを形成する工程と、

前記絶縁膜の表面に、請求項1または2に記載の埋込材を塗布し、前記ピアホールに前記埋込材を充填する工程と、

前記埋込材の塗布膜上に、前記ピアホールを含む形の開口部を有するレジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記絶縁膜と前記埋込材とを同時にドライエッティングし、前記絶縁膜に前記基板までには達しない深度の凹部を形成する工程と、

前記レジストパターンと前記埋込材の塗布膜と前記ピアホール中に残存する埋込材とを除去する工程と、

前記凹部と前記ピアホールに導体層を形成する工程とからなることを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デュアルダマシン法により多層配線構造を形成する際にピアホールに充填する埋込材とこの埋込材を用いた半導体集積回路の製造方法に関するものである。

【0002】

【従来の技術】

従来、半導体集積回路の配線にはポリシリコンやアルミニウムが多用されてきたが、半導体集積回路の信号伝送の高速化による高性能化、微細化を実現するためにはポリシリコンやアルミに替わる更に低抵抗の材料が必要となっている。

【0003】

そのため、半導体集積回路の導体配線を従来のアルミに替えて、銅で形成することが提案されている。しかしながら、銅は、従来のアルミ配線形成で用いられてきたドライエッチングによるパターニングが困難であり、耐食性も良くない。そこで、層間膜の内部と表面とに銅からなる金属配線を形成し、これらの金属配線を銅からなるコンタクトで接続した半導体集積回路を製造する方法としてデュアルダマシン法が開発されている。

【0004】

従来のピアファーストタイプのデュアルダマシン法による半導体集積回路の製造方法では、下部金属配線に対向する位置において、 SiO_2 の上部層間膜の表面からストップ膜の表面でピアホールを形成した後、このピアホールに有機膜などの埋込材を充填して上部層間膜にストップ膜に達しない深度の幅広の凹溝を形成している。

【0005】

そして、有機膜として、ARC (Anti Reflective Coating: 反射防止膜)、具体的には、ポリイミドやノボラックからなるベース樹脂にポリビニルフェノールやポリメチルメタアクリレートを添加したものが用いられている（例えば特許文献1参照。）。

【0006】

また、前記ピアホールに充填する埋込材として、フォトレジスト材、メラミン誘導体、グアナミン誘導体、グリコールウリル誘導体、尿素誘導体、スクシニルアミド誘導体などが用いられている（例えば特許文献2参照。）。

【0007】

【特許文献1】

特開2001-203207号公報

【特許文献2】

特開2000-195955号公報

【0008】

【発明が解決しようとする課題】

従来のデュアルダマシン法においてピアホールに充填する埋込材は前記のよう

な有機の材料が用いられている。しかし、凹溝形成のために、上部層間膜と埋込材とを同時にプラズマエッチングすると、埋込材のエッティングレートが上部層間膜のエッティングレートより低いため、図3に示すように、形成された凹溝310において、埋込材307が上部層間膜302より突出した状態になるとの問題があった。

【0009】

それと、エッティングガスとしてC₄F₈を用いると、プラズマ中で分解されたものや反応生成物からフロロカーボン系のデポジションを発生しやすいので、上記突出した埋込材の側面にデポジションが滞積しやすい。このように、デポジションが滞積すると、これがマスクとなって下方のプラズマエッチングが阻害される。このため、上部層間膜と埋込材との同時エッティングが完了してから、ピアホール内部の埋込材を除去すると、図4に示すように、ピアホール306開口の周囲に化学的に安定で分解しにくいデポジション308残存するという問題があった。

このように、ピアホール開口の周囲にデポジションが残存すると、上部金属配線を良好な形状で形成できないので、製造された半導体集積回路に断線などの不良が発生するとの問題があった。

【0010】

この発明は、上述のような課題を解決するためになされたもので、第1の目的は、デュアルダマシン法において、ピアホールに埋込材を充填し、この埋込材と上部層間膜などの絶縁膜とを同時にエッティングする場合においても、埋込材のエッティングレートが上部層間膜のエッティングレート以上であり、形成された凹溝において上部層間膜から突出することのない有機材料の埋込材を得るものである。

また、第2の目的、ピアホール開口の周辺にデポジションが残存せず、デポジションを除去する工程が不要で、導体層である上部金属配線を良好な形状で形成でき、断線などの不良が発生しない半導体集積回路を製造する方法を得るものである。

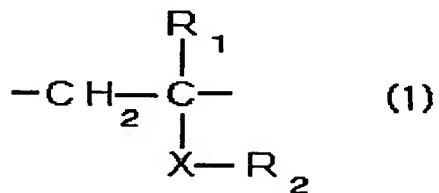
【0011】

【課題を解決するための手段】

この発明に係わる埋込材は、絶縁膜のピアホール部にプラズマエッティングにより前記ピアホールより幅が広い凹部を形成する時に、前もって前記ピアホールを埋める埋込材であって、繰り返し単位が下記の式(1)で表される重合体からなるものである。

【0012】

【化2】



【0013】

(式中、 R_1 は水素原子、フッ素原子、塩素原子、臭素原子またはメチル基、 R_2 は水素原子、炭素数1～3のアルキル基または水素原子がフッ素原子、塩素原子、臭素原子のうちの少なくとも一つの原子で置換された炭素数1～4のアルキル基、Xは $-\text{C}(=\text{O})\text{O}-$ 基または $-\text{S}(=\text{O})_2\text{O}-$ 基である。)

【0014】

また、この発明に係わる埋込材は、前記重合体の重量平均分子量が1,000～200,000のものである。

【0015】

また、この発明に係わる第1の半導体集積回路の製造方法は、導体層が形成された下部絶縁膜の表面にストップ膜を形成し、このストップ膜を介して上部絶縁膜を積層する工程と、前記導体層に対向する位置において前記上部絶縁膜の表面から前記ストップ膜の表面までピアホールを形成する工程と、前記上部絶縁膜の表面に、前記本発明のいずれかの埋込材を塗布し、前記ピアホールに前記埋込材を充填する工程と、前記埋込材の塗布膜上に、前記ピアホールを含む形の開口部を有するレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記上部絶縁膜と前記埋込材とを同時にプラズマエッティングし、前記上部絶縁膜に前記ストップ膜までには達しない深度の凹部を形成する工程と、前記レジストパターンと前記埋込材の塗布膜と前記ピアホール中に残存する埋込材とを除

去し、ピアホール底部に現れたストップ膜をエッティングして前記導体層を露出させる工程と、前記凹部と前記ピアホールに導体層を形成する工程とからなるものである。

【0016】

また、この発明に係わる第2の半導体集積回路の製造方法は、基板に絶縁膜を形成する工程と、前記絶縁膜にピアホールを形成する工程と、前記絶縁膜の表面上に、前記本発明のいずれかの埋込材を塗布し、前記ピアホールに前記埋込材を充填する工程と、前記埋込材の塗布膜上に、前記ピアホールを含む形の開口部を有するレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記絶縁膜と前記埋込材とを同時にプラズマエッティングし、前記絶縁膜に前記基板までには達しない深度の凹部を形成する工程と、前記レジストパターンと前記埋込材の塗布膜と前記ピアホール中に残存する埋込材とを除去する工程と、前記凹部と前記ピアホールに導体層を形成する工程とからなるものである。

【0017】

【発明の実施の形態】

実施の形態1.

図1は、この発明の実施の形態1における、埋込材を用いたピアファーストタイプのデュアルダマシン法による半導体集積回路の製造工程を説明する断面模式図である。

図1において、半導体基板100に下部絶縁膜104を形成し、この下部絶縁膜104に導体層である銅の下部金属配線105を埋込む。下部絶縁膜104と下部金属配線105との表面にエッティングストップ膜103を介して上部絶縁膜102を積層する(a)。

本実施の形態では下部絶縁膜104と上部絶縁膜102とにはSiOCが用いられるが、SiO₂、SiOFなどのシリコン酸化物系絶縁材料、あるいは、SiLK(Dow-Chemical社製)などの有機系のスピノンガラス型絶縁材料を用いることも可能である。また、エッティングストップ膜103は、SiN、SiONなどのシリコン系窒化膜が用いられる。

【0018】

次に、上部絶縁膜102上の下部金属配線105に対向する位置に、市販の感光性フォトレジストを用いて、通常の写真製版処理によりレジストホールパターン101を形成する（b）。ここでレジストパターン101の形成は、特に限定されるものではなく、必要とされるレジスト寸法に応じてレジスト材料・写真製版プロセスが選定される。例えば、ノボラックーナフトキノン系のi線レジスト材料、あるいはKrFエキシマ、ArFエキシマ、F₂エキシマなどの波長に感光する化学增幅型レジスト材料を用いることができる。さらにはEB（電子線）レジスト材料、X線レジスト材料も用いることができる。

【0019】

次に、ドライエッティングにより上部絶縁膜102をエッティングして上部絶縁膜102にピアホール106を形成し（c）、さらにレジストパターン101を剥離除去する（d）。ドライエッティングは、CHF₃、C₄F₈などのフッ素系ガスを主成分とするガスを用いて行うが、これら以外のエッティングガスとして、HF₃/CF₄/O₂/Arの混合ガスも用いることができる。

そして、レジストパターン101の除去は、O₂アッシングと有機アミンの洗浄により行う。

【0020】

次に、ピアホール106に埋込材107を充填する。具体的には、ピアホール106が形成された絶縁膜を有する半導体基板100上に、繰り返し単位が下記の式（1）で表される重合体を有機溶媒に溶かした溶液を滴下し、スピンドルコートする。さらに、例えば、80～100°Cで90～180秒のプリベークと180～230°Cで50～90秒のベークとをすることにより、ピアホール106内部を埋込材107で穴埋めして平坦化する（e）。

前記重合体の繰り返し単位の繰り返し数（n）は5～1,000が好ましい。nが5未満であると成膜性が低下し、nが1,000より大きいと前記重合体の溶液の粘度が高くなり絶縁膜102上に残る埋込材膜の厚さが大きくなり、研磨除去、あるいはエッティングバックなどの余分な工程が必要となる。

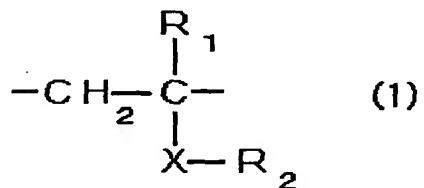
前記重合体の重量平均分子量は1,000から200,000が好ましい。重量平均分子量が1,000未満であるとベーク後に埋込材にクラックが発生する

。また、重量平均分子量が200,000より大きいと溶媒に対する溶解度が低下し、必要な濃度の溶液が得られない。

前記重合体を有機溶媒に溶かした溶液の濃度は、例えば3～20重量%が好ましい。溶液濃度が3重量%未満であると、ビアホールに埋込材が均一に充填されない。また、溶液濃度が20重量%より大きくなると、溶液の粘度が高くなり、絶縁膜102上に残る埋込材膜の厚さが大きくなり、研磨除去などの余分な工程が必要となる。

【0021】

【化3】



【0022】

(式中、 R_1 は水素原子、フッ素原子、塩素原子、臭素原子またはメチル基、 R_2 は水素原子、炭素数1～3のアルキル基または水素原子がフッ素原子、塩素原子、臭素原子のうちの少なくとも一つの原子で置換された炭素数1～4のアルキル基、 X は $-\text{C}(=\text{O})\text{O}-$ 基または $-\text{S}(=\text{O})_2\text{O}-$ 基である。)

【0023】

次に、平坦化された上部絶縁膜102上有る埋込材の膜上に、例えばArFリソグラフィ用反射防止膜108（クラリアントジャパン社製）をスピンドルコート法により塗布して、ベークし、成膜する(f)。反射防止膜108の材料は、上記材料に限定されるものではなく、市販されている反射防止膜用材料を用いることができる。

次に、反射防止膜108上に、感光性レジスト、例えばArF-エキシマレジスト（東京応化社製）をスピンドルコートし、常法の写真製版プロセスにより、プラズマエッチングのマスクとなるレジスト配線パターン109を形成する(g)。ここで用いられる感光性レジストは、上記材料に限定されることはなく、各種のレジスト材料が選択可能であり、形成したいパターン寸法に応じて、g線、i線

、 KrF-エキシマ、 F₂-エキシマ、 EB（電子線）、 X線、 E-UV (Extreme-UV)用などのレジスト材料が適用可能である。

【0024】

次に、形成したレジスト配線パターン109をエッティングマスクとして、プラズマエッティングし、上部絶縁膜102の上層部に凹溝110を形成する（h）。プラズマエッティングは、通常のSiOC膜をエッティングする場合に用いられるエッティング装置が用いられ、エッティング条件としては、例えば、エッティングガスにCF₄などのフッ素系ガスを主成分とするガスを用い、20～150mTorrの圧力でエッティングする。

【0025】

本実施の形態では、ビアホール106の埋込材107に、繰り返し単位が式（1）で表される重合体を用いているため、上部絶縁膜102であるSiOCをエッティングする条件において、埋込材107は、上部絶縁膜102以上のエッティングレートを有しており上部絶縁膜102と同じか、それよりも速く膜減りが起こる。そのため、形成された凹溝110において、埋込材107が上部絶縁膜102から突出することがなく、また、埋込材107の突出部がないので、プラズマによる分解物や反応生成物のデポジションも形成されない。そして、デポジションの形成がないので、上部絶縁膜102の下方へのエッティングが阻害されることなく良好な凹溝110が形成できる。

【0026】

次に、残っているレジスト配線パターン109と反射防止膜108と埋込材107とをO₂プラズマアッティングとアミン系の有機剥離液を用いて除去し、清浄化し、上部絶縁膜102に、ビアホール106と上部配線溝111とを形成する（i）。

【0027】

次に、CHF₃とO₂と不活性ガスのArとを混合したエッティングガスを用い、上部絶縁膜102をマスクとしてビアホール106の底部に位置するストップ膜103をプラズマエッティングし、ビアホール106の底部に下部金属配線105を露出させる（j）。

次に、上部絶縁膜102と下部金属配線105との露出している表面をアミン系の有機剥離液により清浄化してから、ピアホール106と上部配線溝111とに、銅膜をスパッタリングにより成膜した後、メッキにより銅を厚付けして、銅の導体層112を充填する。なお、必要に応じて銅の拡散防止膜として窒化タンタルなどを銅スパッタ成膜の前に成膜することも可能である。

この充填された銅の導体層112が、上部金属配線113と層間導通層114となり、半導体集積回路115が完成する(k)。

【0028】

本実施の形態における半導体集積回路の製造方法では、ピアホール106の埋込材107に繰り返し単位が式(1)で表される重合体を用いているので、プラズマエッチングにより、上部絶縁膜102と埋込材107とを同時にエッチングしても、埋込材107が上部絶縁膜102から突出することがなく、化学的に安定で分解されにくいデポジションの形成がない。そのため、ピアホール106内の埋込材107を除去した後に、ピアホール106開口の周囲にデポジションが残存するという不良は発生せず、この化学的に安定で分解しにくいデポジションを除去するという、余分で半導体集積回路の配線に損傷を与える可能性がある工程が不要となる。また、上部配線溝111に銅の導体層112を充填したとき、良好な上部金属配線113を形成できるので、上部金属配線113の形成不良による断線が防止でき、信頼性の高い半導体集積回路を得ることができる。

【0029】

本実施の形態では、ピアホール106に埋込材107を充填し上部絶縁膜102を平坦化した時に形成される埋込材の膜上に、反射防止膜108を形成しているが、この反射防止膜108設けず、埋込材の膜上に直接レジスト配線パターン109を形成して、このレジスト配線パターン109をマスクとして、上部絶縁膜102と埋込材107とを同時にエッチングしても、同様の効果があり、信頼性の高い半導体集積回路を得ることができる。

【0030】

実施の形態2.

図2は、この発明の実施の形態2における、埋込材を用いたピアファーストタ

イプのデュアルダマシン法による半導体集積回路の製造工程を説明する断面模式図である。

図2において、まず、半導体基板200に絶縁膜202を形成し(a)、この絶縁膜202上に、レジストホールパターン201を形成する(b)。

次に、絶縁膜202にビアホール206を形成し(c)、レジストパターン201を除去する(d)。

次に、ビアホール206に埋込材207を充填する(e)。ここで用いる埋込材207は実施の形態1で用いたのと同様のものである。

【0031】

次に、平坦化された絶縁膜202上にある埋込材の膜上に、レジスト配線パターン209を形成し(f)、このレジスト配線パターン209をエッティングマスクとして、絶縁膜202と埋込材207とをプラズマエッティングし、絶縁膜202の上層部に凹溝210を形成する(g)。

次に、残っているレジスト配線パターン209と埋込材207とを除去し、清浄化し、絶縁膜202に、ビアホール206と上部配線溝211とを形成する(h)。

次に、ビアホール206と上部配線溝211とに、銅の導体層212を充填し、この充填された銅の導体層212が、上部金属配線213と層間導通層214となり、半導体集積回路215が完成する(i)。

【0032】

本実施の形態の各工程に用いる材料と方法は実施の形態1と同様であり、実施の形態1と同様な効果が得られ、信頼性の高い半導体集積回路を得ることができる。

【0033】

【実施例】

次に、実施例を挙げて、本発明をさらに詳細に説明する。

【0034】

実施例1.

シリコンウェハ上に、絶縁膜に用いられるSiOC、SiO₂またはSiOF

を、CVD法により厚さ1000nmで成膜する。また、シリコンウェハ上に、絶縁膜に用いられるスピノンオンガラスのSiLKをスピノンコート法により厚さ1000nmで成膜する。

このようにして成膜された各絶縁膜を、 $C_4F_8/O_2/Ar = 8/20/400\text{ sccm}$ の混合エッティングガスを用い、高周波パワー=600W、圧力=30mTorrの条件でプラズマエッティングを行い、エッティングレートを測定し、結果を表1に示す。

【0035】

次に、繰り返し単位が式(1)で表され、繰り返し単位の繰り返し数(n)が50であり、各基、すなわち、Xが $-C(=O)O-$ 、R₁がCH₃、R₂がCH₃である重合体を、溶剤に溶かし7%溶液とする。この溶液をシリコンウェハ上にスピノンコート法で塗布しベークして、埋込材を厚さ1000nmで成膜する。

このようにして成膜された埋込材の膜を、前記絶縁膜と同じエッティング条件でプラズマエッティングを行い、エッティングレートを測定し、結果を表2に示す。

【0036】

実施例2～15.

埋込材として、X、R₁、R₂の各基が表2の実施例2～15に示されるものである以外は実施例1と同じnと分子構造との重合体を用い、実施例1と同様にして成膜し、この膜を前記絶縁膜と同じエッティング条件でプラズマエッティングを行い、エッティングレートを測定し、結果を表2に示す。

【0037】

比較例1～6.

表3に示す従来の埋込材である、ポリメチルメタクリレート(PMMA)樹脂、反射防止膜(DUV:日産化学社製とAZ KrF-16:クラリアントジャパン社製)、KrFレジスト(PEK-112:JSR社製)、ノボラック樹脂、メトキシメチル化ベンゾグアナミンのそれぞれをスピノンコート法により、シリコンウェハ上に厚さ1000nmで成膜し、この膜を前記絶縁膜と同じエッティング条件でプラズマエッティングを行い、エッティングレートを測定し、結果を表3に示す。

【0038】

【表1】

絶縁膜	エッチングレート (nm/min)
SiOC	205
SiO ₂	134
SiOF	148
SiLK(Dow-Chemical 社)	210

【0039】

【表2】

	用いた埋込剤の基			エッチングレート (nm/min)
	X	R ₁	R ₂	
実施例 1	C(=O)O	Cl	CH ₃	213
実施例 2	C(=O)O	Cl	C ₂ H ₅	211
実施例 3	C(=O)O	Cl	CH ₂ CF ₃	253
実施例 4	C(=O)O	Cl	CH ₂ CCl ₃	342
実施例 5	C(=O)O	Cl	CH ₂ CBr ₃	357
実施例 6	C(=O)O	Cl	C ₄ F ₉	274
実施例 7	C(=O)O	Cl	CH ₂ CF ₂ CF ₃	285
実施例 8	C(=O)O	F	CH ₂ CCl ₃	282
実施例 9	C(=O)O	Br	CH ₂ CCl ₃	354
実施例 10	C(=O)O	CH ₃	CH ₂ CCl ₃	236
実施例 11	S(=O)2O	H	CH ₃	216
実施例 12	S(=O)2O	H	C ₂ H ₅	212
実施例 13	S(=O)2O	H	CH ₂ CF ₃	262
実施例 14	S(=O)2O	H	CH ₂ CCl ₃	330
実施例 15	S(=O)2O	H	CH ₂ CBr ₃	354

【0040】

【表3】

	従来の埋込材	エッティングレート (nm/min)
比較例1	PMMA樹脂	125
比較例2	DUV(日産化学)	115
比較例3	AZ KrF-16(クリアント)	102
比較例4	KrFレジスト(PEK-112)	89
比較例5	ノボラック樹脂(i線レジスト)	65
比較例6	メトキシメチル化ベンゾグアニン	115

【0041】

表1と表2と表3との比較より、本発明の埋込材のエッティングレートはデュアルダマシン法に用いる絶縁膜のエッティングレート以上であり、従来の埋込材のエッティングレートは前記絶縁膜のエッティングレートより小さいことが確認された。

すなわち、本発明の埋込材は絶縁膜と同時にエッティングしても、埋込材が絶縁膜から突出することがないとの効果がある。

【0042】

実施例16～30.

実施例1～15で用いた埋込材と前記各絶縁膜とを、実施例1～15と同様にしてシリコンウェハ上に厚さ1000nmで成膜する。この形成された膜をCHF₃/CF₄/O₂/Ar=50/25/15/300sccmの混合エッティングガスを用い、高周波パワー=400W、圧力=4.5mTorrでプラズマエッティングを行い、エッティングレートを測定し、絶縁膜についての結果は表4に示し、埋込材についての結果は表5に示す。

【0043】

比較例7～12.

比較例1～6で用いた従来の埋込材を、比較例1～6と同様にしてシリコンウェハ上に厚さ1000nmで成膜する。この形成された膜をCHF₃/CF₄/O₂/Ar=50/25/15/300sccmの混合エッティングガスを用い、パワー=400W、圧力=4.5mTorrでプラズマエッティングを行い、エッティングレートを測定し、その結果は表6に示す。

【0044】

【表4】

絶縁膜	エッチングレート (nm/min)
SiOC	340
SiO ₂	218
SiOF	251
SilK(Dow-Chemical 社)	345

【0045】

【表5】

	用いた埋込剤の基			エッチングレート (nm/min)
	X	R ₁	R ₂	
実施例 16	C(=O)O	Cl	CH ₃	355
実施例 17	C(=O)O	Cl	C ₂ H ₅	348
実施例 18	C(=O)O	Cl	CH ₂ CF ₃	422
実施例 19	C(=O)O	Cl	CH ₂ CCl ₃	570
実施例 20	C(=O)O	Cl	CH ₂ CBr ₃	595
実施例 21	C(=O)O	Cl	C ₄ F ₉	450
実施例 22	C(=O)O	Cl	CH ₂ CF ₂ CF ₃	460
実施例 23	C(=O)O	F	CH ₂ CCl ₃	480
実施例 24	C(=O)O	Br	CH ₂ CCl ₃	580
実施例 25	C(=O)O	CH ₃	CH ₂ CCl ₃	400
実施例 26	S(=O) ₂ O	H	CH ₃	360
実施例 27	S(=O) ₂ O	H	C ₂ H ₅	350
実施例 28	S(=O) ₂ O	H	CH ₂ CF ₃	438
実施例 29	S(=O) ₂ O	H	CH ₂ CCl ₃	550
実施例 30	S(=O) ₂ O	H	CH ₂ CBr ₃	590

【0046】

【表6】

	従来の埋込材	エッティングレート (nm/min)
比較例 8	PMMA樹脂	174
比較例 9	DUV(日産化学)	142
比較例 10	AZ KrF-16(クリアント)	140
比較例 11	KrFレジスト(PEK-112)	138
比較例 12	ノボラック樹脂(i線レジスト)	105
比較例 13	メトキシメチル化ベンゾグアナミン	142

【0047】

表4と表5と表6との比較より、本発明の埋込材のエッティングレートはデュアルダマシン法に用いる絶縁膜のエッティングレート以上であり、従来の埋込材のエッティングレートは前記絶縁膜のエッティングレートより小さいことが確認された。

すなわち、本発明の埋込材は絶縁膜と同時にエッティングしても、埋込材が絶縁膜から突出することがないとの効果がある。

【0048】

実施例31.

本発明の埋込材を用いてデュアルダマシン法による半導体集積回路を作製し、エッティング後のデポジションの発生を確認する。

図1を用いて、本実施例における半導体集積回路の作製プロセスを説明する。まず、厚さ800nmのSiOCの下部絶縁膜104をCVD(Chemical Vapor Deposition)法により半導体基板100上に形成し、一般的な写真製版プロセスとスパッタによる銅シード層形成の後、銅メッキプロセスにより導体層を形成し、さらにCMP(Chemical Mechanical Polishing)法により平坦化することで、下部絶縁膜104に銅からなる下部金属配線105を埋め込んだ構造を作製する。さらに、SiNのエッティングストップ膜103を厚さ60nmでスパッタにより形成する。さらに、上部絶縁膜102をCVD法で成膜し、CMP法で平坦化し、厚さ1000nmとする(a)。

【0049】

次に、通常の写真製版プロセスを用いてレジストパターンを形成し(b)、エ

ッチングによりビアホール106を形成し(c)、さらに、不要なレジストパターンを除去する(d)。

次に、本発明の埋込材である実施例1に示す重合体の7%溶液を、スピンドル法で塗布し、150°Cで60秒間のプリベークと220°Cで60秒間のベークとにより、ビアホール106に埋込材107を充填し、上部絶縁膜102を平坦化する(e)。

【0050】

次に、埋込材107上に、有機反射防止膜材(AZ-ArF:クラリアントジャパン社製)をスピンドルにより塗布、100°Cで60秒間の加熱処理により、反射防止膜108を形成する(f)。さらに、ArF-エキシマ用レジスト材(東京応化社製)を塗布し、常法の写真製版プロセスで処理することにより、レジスト配線パターン109を形成する(g)。

次に、 $C_4F_8/O_2/Ar = 8/20/400\text{ sccm}$ のエッチングガスを用い、高周波パワー=600W、圧力=30mTorrの条件で、上部絶縁膜102と埋込材107とを同時にプラズマエッチングし、深さ600nmの凹状の溝110を形成する(h)。

【0051】

次に、レジスト配線パターン109と反射防止膜108とビアホール底部に残った埋込材107上とを O_2 プラズマアッシングとアミン系の有機溶媒で除去し、SiNのエッチングストップ膜103を露出させる(i)。この段階でビアホール106部を観察し、エッチングによるデポジションの発生の有無を観察する。本実施例では、デポジションが発生しておらず、本発明の埋込材はデュアルダマシン法により半導体集積回路を製造する場合のエッチング工程において、デポジションの発生を解消するために特に有効である。

【0052】

次に、エッチングストップ膜を除去し(j)、さらに銅スパッタと銅メッキによりビアホール106と配線溝111とに銅を析出させ、さらにCMP法により平坦化し、上部金属配線113と層間導通層114とを形成し、半導体集積回路115を製造する(k)。

本実施例の半導体集積回路の製造方法では、ビアホール開口部にデポジションの発生がないので、上部金属配線の形成不良が発生せず断線を防止でき、信頼性の高い半導体集積回路を得ることができる。

【0053】

実施例32～45.

実施例31で用いた埋込材に替えて、実施例2～15に示す重合体の埋込材を用いたほかは、実施例31と同様にして半導体集積回路を形成する。そして、(i)工程後に、ビアホール106部にエッティングによるデポジションの発生の有無を観察する。実施例32～45の全てにおいて、デポジションが発生しておらず、本発明の埋込材がデュアルダマシン法により半導体集積回路を製造する場合のエッティング工程において、デポジションの発生を解消するために特に有効である。

そして、実施例32～45の半導体集積回路の製造方法では、ビアホール開口部にデポジションの発生がないので、上部金属配線の形成不良が発生せず断線を防止でき、信頼性の高い半導体集積回路を得ることができる。

【0054】

比較例13～18.

実施例31で用いた埋込材に替えて、比較例1～6に示す従来の埋込材を用いたほかは、実施例31と同様にして半導体集積回路を形成する。そして、(i)工程後に、ビアホール106部にエッティングによるデポジションの発生の有無を観察する。比較例13～18の全てに、デポジションの発生が認められ、このようにして製造された半導体集積回路は、上部金属配線の形成不良が発生し、信頼性に優れたものとならない。

【0055】

実施例46.

実施例31の(i)工程におけるプラズマエッティングにおいて、 $\text{CHF}_3/\text{CF}_4/\text{O}_2/\text{Ar} = 50/25/15/300 \text{ sccm}$ の混合エッティングガスを用い、高周波パワー=400W、圧力=45mTorrでプラズマエッティングを行った以外実施例31と同様にして半導体集積回路を形成する。そして、(i)工程後に、

ピアホール106部にエッティングによるデポジションの発生の有無を観察する。本実施例では、デポジションが発生しておらず、本発明の埋込材がデュアルダマシン法により半導体集積回路を製造する場合のエッティング工程において、デポジションの発生を解消するために特に有効である。

そして、本実施例の半導体集積回路の製造方法では、ピアホール開口部にデポジションの発生がないので、上部金属配線の形成不良が発生せず断線を防止でき、信頼性の高い半導体集積回路を得ることができる。

【0056】

実施例47～60.

実施例46で用いた埋込材に替えて、実施例2～15に示す重合体の埋込材を用いたほかは、実施例46と同様にして半導体集積回路を形成する。そして、(i)工程後に、ピアホール106部にエッティングによるデポジションの発生の有無を観察する。実施例47～60では、デポジションが発生しておらず、本発明の埋込材がデュアルダマシン法により半導体集積回路を製造する場合のエッティング工程において、デポジションの発生を解消するために特に有効である。

そして、実施例47～60の半導体集積回路の製造方法では、ピアホール開口部にデポジションの発生がないので、上部金属配線の形成不良が発生せず断線を防止でき、信頼性の高い半導体集積回路を得ることができる。

【0057】

比較例19～24.

実施例46で用いた埋込材に替えて、比較例1～6に示す従来の埋込材を用いたほかは、実施例46と同様にして半導体集積回路を形成する。そして、(i)工程後に、ピアホール106部にエッティングによるデポジションの発生の有無を観察する。比較例19～24の全てに、デポジションの発生が認められ、このようにして製造された半導体集積回路は、上部金属配線の形成不良が発生し、信頼性に優れたものとならない。

【0058】

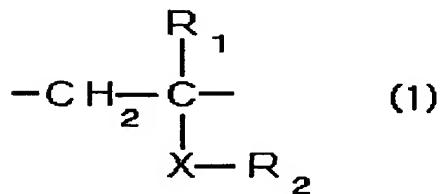
【発明の効果】

この発明に係わる埋込材は、繰り返し単位が下記の式(1)で表される重合体

からなるものであり、埋込材と絶縁膜と同時にエッティングしても、埋込材が絶縁膜から突出する事がないので、埋込材突出部に形成される化学的に安定で除去しにくいデポジションの発生が防止できるという効果がある。

【0059】

【化4】



【0060】

(式中、R₁は水素原子、フッ素原子、塩素原子、臭素原子またはメチル基、R₂は水素原子、炭素数1～3のアルキル基または水素原子がフッ素原子、塩素原子、臭素原子のうちの少なくとも一つの原子で置換された炭素数1～4のアルキル基、Xは-C(=O)O-基または-S(=O)₂O-基である。)

【0061】

この発明に係わる半導体集積回路の製造方法は、ピアホールに充填する埋込材に、繰り返し単位が前記式(1)で表される重合体からなる埋込材を用いるので、絶縁膜と埋込材とを同時にエッティングしても、埋込材が絶縁膜から突出することなく、デポジションが滞積されないので、絶縁膜の下方へのエッティングが阻害されることなく良好な凹溝が形成できる。

また、ピアホール開口の周囲にデポジションが残存するという不良は発生しないので、この化学的に安定で分解しにくいデポジションを除去するという、余分で半導体集積回路の配線に損傷を与える可能性がある工程が不要となる。さらに、配線溝に銅の導体層を充填したとき、良好な金属配線を形成できるので、金属配線の形成不良による断線が防止でき、信頼性の高い半導体集積回路を得ることができる。

【図面の簡単な説明】

【図1】 実施の形態1における、埋込材を用いたピアファーストタイプのデュアルダマシン法による半導体集積回路の製造工程を説明する断面模式図であ

る。

【図2】 実施の形態2における、埋込材を用いたピアファーストタイプのデュアルダマシン法による半導体集積回路の製造工程を説明する断面模式図である。

【図3】 埋込材が絶縁膜から突出した状態を示す断面模式図である。

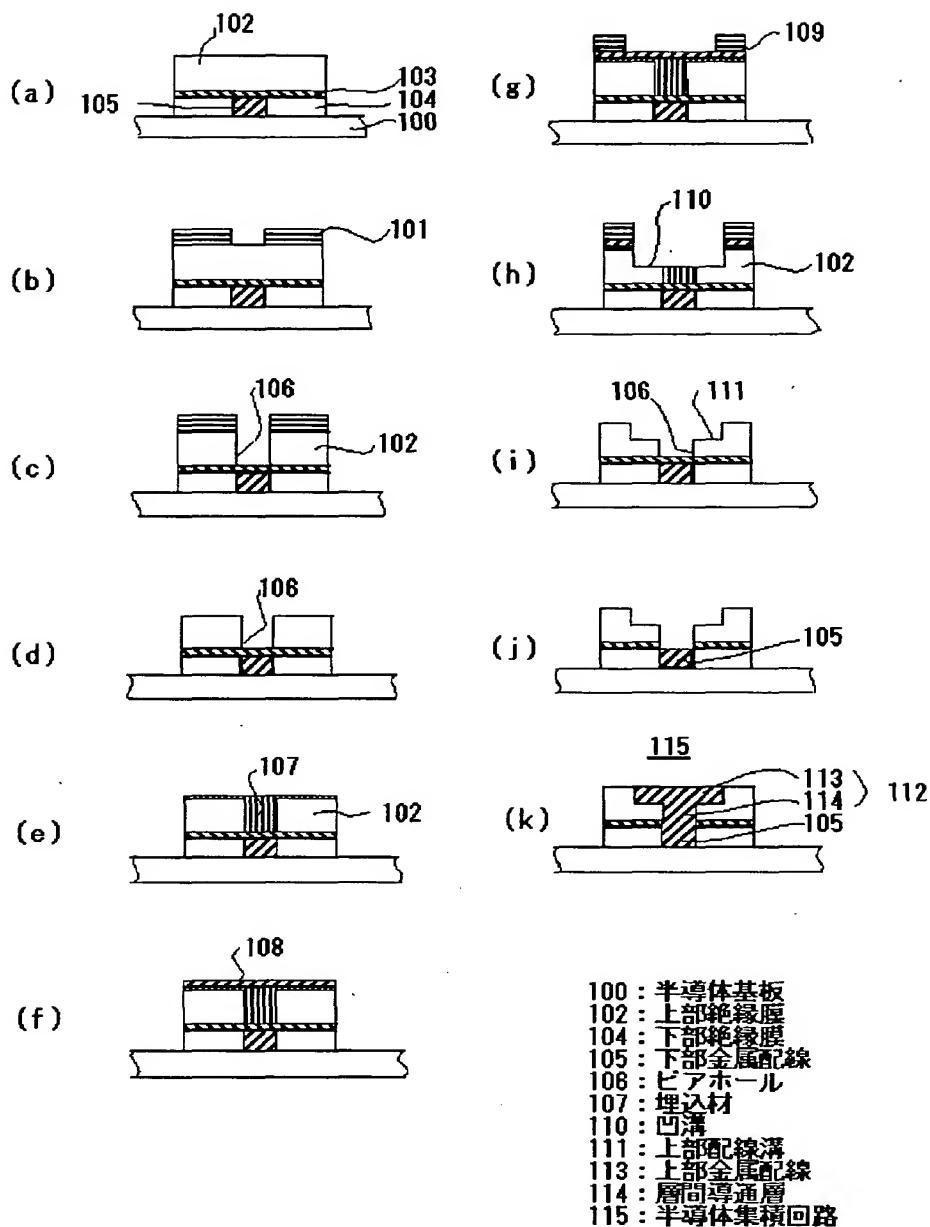
【図4】 ピアホール開口部にデポジションが残存した状態を示す断面模式図である。

【符号の説明】

102, 302 上部絶縁膜、104 下部絶縁膜、105 下部金属配線、
106, 206, 306 ピアホール、107, 207, 307 埋込材、11
0, 210, 310 凹溝、111, 211 上部配線溝、112, 212 導
体層、113, 213 上部金属配線、114, 214 層間導通層 115,
215 半導体集積回路、202 絶縁膜。

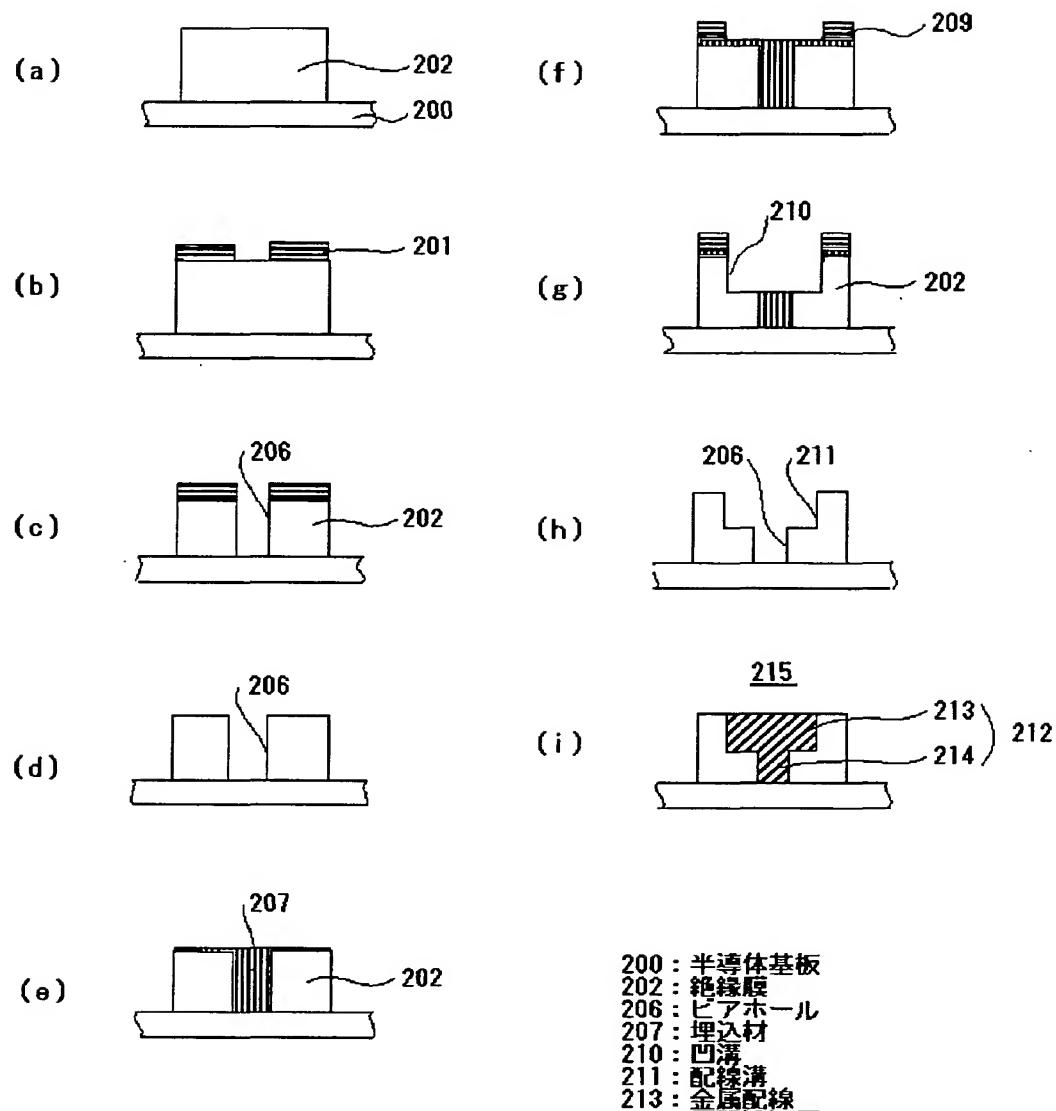
【書類名】 図面

【図1】



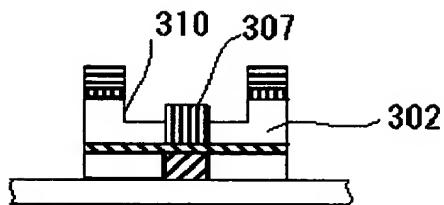
- 100 : 半導体基板
 102 : 上部絶縁膜
 104 : 下部絶縁膜
 105 : 下部金属配線
 106 : ビアホール
 107 : 埋込材
 108 : 凹溝
 110 : 上部配線溝
 111 : 上部金属配線
 113 : 層間導通層
 114 : 半導体集積回路
 115 : 半導体集積回路

【図2】



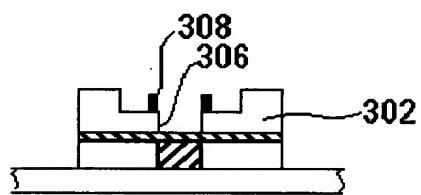
200 : 半導体基板
202 : 鋼線膜
206 : ビアホール
207 : 埋込材
210 : 凹溝
211 : 配線溝
213 : 金属配線
214 : 層間導通層
215 : 半導体集積回路

【図3】



302 : 上部層間膜
307 : 埋込材
310 : 凹溝

【図4】



306 : ピアホール
308 : テポジション

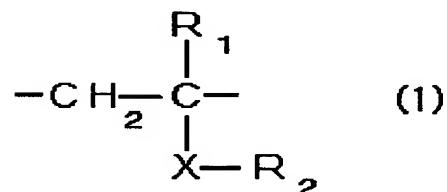
【書類名】 要約書

【要約】

【課題】 埋込材で埋めたビアホールを、プラズマエチギングにより前記ビアホールより幅が広い凹部を形成しても、ビアホールの開口部の周囲にデポジションを発生させず、信頼性の高い半導体集積回路を実現できる埋込材を得ること。

【解決手段】 埋込材に、繰り返し単位が下記の式(1)で表される重合体を用いる。

【化1】



(式中、 R_1 は水素原子、フッ素原子、塩素原子、臭素原子またはメチル基、 R_2 は水素原子、炭素数1~3のアルキル基または水素原子がフッ素原子、塩素原子、臭素原子のうちの少なくとも一つの原子で置換された炭素数1~4のアルキル基、Xは $-\text{C}(=\text{O})\text{O}-$ 基または $-\text{S}(=\text{O})_2\text{O}-$ 基である。)

【選択図】 なし

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社